

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-069149

(43)Date of publication of application : 11.03.1994

(51)Int.CI.

H01L 21/265  
 H01L 21/26  
 H01L 21/268  
 H01L 21/336  
 H01L 29/784

(21)Application number : 04-215325

(71)Applicant : SONY CORP

(22)Date of filing : 13.08.1992

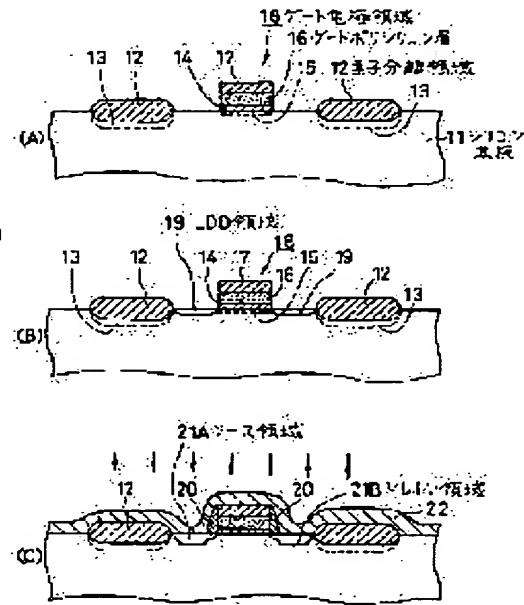
(72)Inventor : TSUKAMOTO HIRONORI

## (54) FABRICATION OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To obtain a semiconductor device in which shallow junction can be formed by reducing junction leak current.

CONSTITUTION: After formation of a source region 21A and a drain region 21B through ion implantation, low temperature annealing (600°C) is carried out for one hour and then irradiation with pulse laser(XeCl) is carried out at irradiation energy of 700mJ/cm<sup>2</sup> with pulse width of 44nsec. This method reduces leak current by suppressing point defect in the vicinity of junction and allows activation while sustaining shallow junction.



## LEGAL STATUS

[Date of request for examination] 13.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3211394

[Date of registration] 19.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-69149

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl.<sup>5</sup>  
H 01 L 21/265

識別記号  
21/26  
21/268

21/26  
B 8617-4M  
8617-4M  
8617-4M

F I

技術表示箇所  
H 01 L 21/ 265  
B  
L

審査請求 未請求 請求項の数2(全 6 頁) 最終頁に続く

(21)出願番号 特願平4-215325

(22)出願日 平成4年(1992)8月13日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 塚本 弘範  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

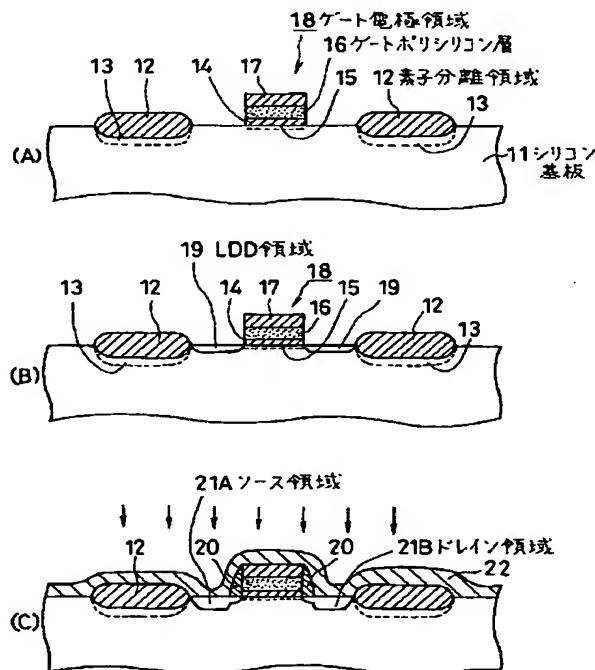
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 接合リーキ電流を低減し、浅い接合が形成できる半導体装置を得る。

【構成】 ソース領域21A、ドレイン領域21Bをイオン打ち込みにより形成した後、低温アニール(600°C)を1時間行ない、次に、パルスレーザ(XeCl)を照射エネルギー700mJ/cm<sup>2</sup>、パルス幅44nsで照射する。これにより、接合近くの点欠陥を低減してリーキ電流を低減させると共に、浅い接合を維持して活性化が行なえる。



1

## 【特許請求の範囲】

【請求項1】 半導体基板にイオン打込み深さの浅いイオン打込み層を形成する工程と、前記半導体基板全体を低温アニールする工程と、前記半導体基板表面にパルスレーザを照射して前記イオン打込み層のイオンを活性化する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板にイオン打ち込みを行なってLDD領域を形成した後、前記半導体基板に炉アニール処理またはラピッドサーマルアニール処理を施し、次いでイオン打ち込みを行なってソース・ドレイン領域を形成し、低温アニールを行なった後、前記半導体基板表面にパルスレーザを照射して前記ソース・ドレイン領域を活性化させることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置の製造方法に関し、特に、イオン注入後における半導体基板の結晶性の回復及びキャリアを活性化させるための独特なアニール処理を備えた半導体製造プロセスに係わる。

## 【0002】

【従来の技術】 各種半導体装置の製造工程においては、複数の半導体素子が同一半導体基板上に形成され、半導体素子どうしを分離あるいは接続するために各種の高温加熱処理が行われている。また、半導体装置のLDD (Lightly Doped Drain) 構造やソース・ドレイン領域の形成のためにイオン注入処理が行われ、その後、半導体基板の結晶性の回復および注入されたアクセプターアイオンやドナーアイオンを電気的に活性化するために、活性化アニール処理が行なわれている。更に、コンタクト抵抗の低減のために、高融点金属 (W, Mo, Ti等) やPt, Pdのような金属とSiとの化合物層であるシリサイド層の高温加熱処理が必要である。このような活性化アニール処理や高温加熱処理として、従来、炉アニール法やラピッドサーマルアニール (RATと略す) 法が採用されている。

【0003】 一方、半導体装置の集積化が進むにつれて、個々の半導体素子が縮小化され、ソース・ドレイン領域やエミッタ領域、ベース領域等において浅い接合が必要とされている。このような領域に対して、炉アニール法あるいはRAT法にて活性化アニール処理を行なうと、拡散層が深くなり、ソース・ドレインの接合を浅くして半導体素子を微細化し高集積化するという要求を満足することができない。また、微細化に伴ない例えばMOSトランジスタであればゲート長も短くなり、イオン注入後の活性化アニール処理によりソース・ドレイン領域を成す拡散層は深さ方向だけではなく横方向にも拡張するため、パンチスルーアーが起り易くなる問題点がある。このような拡散層の拡張を抑制しソース・ドレインの接合を浅くするには、活性化アニール処理の温度を低くし

2

なければならず、この場合、抵抗が高くなり電流駆動特性が低下しトランジスタのスイッチング特性が悪化する問題が生じる。

【0004】 ところで、RAT法を用いて活性化アニール処理を行なった場合、図3の温度プロファイルに示されるように、所定温度例えば1400°C前後の基板加熱を行なうと、温度上昇率が100°C/secであり、温度立上りに時間を要すると共に、ピーク温度に達した状態での時間 (t) が最短でも1秒以上かかってしまい、このようにピーク温度状態での時間が長いと例えば、ゲート長 (Lg) が0.5~0.35μmの微細トランジスタでは、接合の浅い所望のソース・ドレインを形成できない問題がある。また、RAT法においては、赤外線を用いているため、半導体基板上にSiO<sub>2</sub>膜など色々な膜が存在すると赤外線の吸収率が部分によって異なる問題がある。

【0005】 そこで、浅い接合の不純物拡散領域を形成する方法としてパルスレーザ照射を行なう活性化アニール法が提案されている。

【0006】 このパルスレーザのエネルギーは、半導体基板の極く表面 (約20nm) で吸収されるため、パルスレーザによってアニール処理が可能な深さは熱拡散を考慮しても約100nm以下であり、ウエハ全体の温度上昇は極くわずか (1~2°C程度) である。そのため、パルスレーザによるアニール処理は浅いLDD構造あるいはソース・ドレイン領域の形成時の活性化アニール処理に適している。

## 【0007】

【発明が解決しようとする課題】 しかしながら、このようなパルスレーザアニールを活性化アニール処理と用いた場合は、図4に示す照射時の基板温度プロファイルからわかるように、熱処理時間が極めて短いため (tが100nsec) 、図5に示すように、イオン注入によってシリコン基板1につくられる、ソース・ドレイン領域などのイオン打込み領域1aの接合よりも深い位置に存在する点欠陥2はパルスレーザ照射によって熱処理することが不可能であり、逆電圧印加時のリーキ電流が増加するという問題があった。図6は、このような点欠陥2を有する接合部における逆電圧と逆リーキ電流との関係を示すものであり、パルスレーザアニールのみを施した場合である。

【0008】 斯る問題を解決するために、レーザのパワーを増加させて半導体基板における深い領域を高温加熱する方法が考えられるが、この場合は、従来の炉アニール法あるいはRAT法での活性化アニール処理と同様にソース・ドレイン領域における接合が深くなるという問題を生じる。また、レーザのパワーが小さい場合には、半導体基板の極く表面のみが溶融し、その後半導体基板の表面は直ちに平坦になるが、レーザのパワーが大きい場合、半導体基板のかなり深い部分まで溶融するため、

半導体基板の表面の平坦性が著しく損なわれるという問題も生じる。

【0009】本発明は、このような従来の問題点に着目して創案されたものであって、微細な半導体装置において浅い接合を形成し、且つトランジスタの接合リード電流を低減することができる半導体基板の製造方法を得んとするものである。

【0010】

【課題を解決するための手段】請求項1記載の発明は、半導体基板にイオン打込み深さの浅いイオン打込み層を形成する工程と、前記半導体基板全体を低温アニールする工程と、前記半導体基板表面にパルスレーザを照射して前記イオン打込み層のイオンを活性化する工程とを備えることを、その解決手段としている。

【0011】請求項2記載の発明は、半導体基板にイオン打ち込みを行なってLDD領域を形成した後、前記半導体基板に炉アニール処理またはラビッドサーマルアニール処理を施し、次いでイオン打ち込みを行なってソース・ドレイン領域を形成し、低温アニールを行なった後、前記半導体基板表面にパルスレーザを照射して前記ソース・ドレイン領域を活性化させることを、その解決手段としている。

【0012】

【作用】低温アニールにより、浅いイオン打込み層の接合よりも深い位置に生じている点欠陥を低減させるため、接合付近の点欠陥による発生電流を低減でき、リード電流を低減する作用がある。また、半導体基板に形成された浅いイオン打込み層は、パルスレーザの照射により活性化され、浅い接合を維持する。

【0013】上記低温アニールは、アモルファスシリコンの結晶化が可能な温度550～850°C、好ましくは600～700°Cが望ましく、アニール時間は30分～6時間好ましくは、1～3時間が望ましい。この理由は、温度が高すぎたり、アニール時間を長くすると接合が深くなるためである。

【0014】また、パルスレーザアニールにおいては、ルビーレーザ（波長：694nm）、XeF（波長：351nm）、XeCl（波長：308nm）、KrF（波長：249nm）、ArF（波長：193nm）等を使用することができるが、中でもXeFレーザ、XeClレーザを使用することが望ましい。それは、図3に示すように、XeFレーザ、XeClレーザの波長領域において、Si結晶と、ボロン（B）をイオン注入したSi結晶の吸収係数がほぼ等しくなるからである。パルスレーザアニール時の照射エネルギーを650～1100mJ/cm<sup>2</sup>、より好ましくは700～900mJ/cm<sup>2</sup>とすることが望ましい。また、パルス幅は20～100nsecが好ましく、照射間隔は任意でよい。

【0015】なお、シリコンやアモルファスシリコンは、かかる短波長のパルスレーザに対して、例えばXe

C1（波長：308nm）に対しては $1.4 \times 10^6 \text{ cm}^{-1}$ と大きな吸収係数を有している。また、吸収係数とは、

$$I = I_0 e^{-\alpha x} \quad (-\alpha x)$$

I：光の強度、I<sub>0</sub>：物質表面の入射光の強度

$\alpha$ ：吸収係数（cm<sup>-1</sup>）、x：深さ（cm）

という光強度分布を表わすパラメータである。即ち、 $1/\alpha$ の深さにおける光の強度は、表面における強度の $1/e$ （約1/3）に減衰することを示している。従つて、XeClの場合、表面から70Åの深さで光エネルギーの2/3が吸収され、殆んど熱に変化する。このように短波長のパルスレーザを用いると半導体基板の浅い領域だけを加熱することができる。

【0016】

【実施例】以下、本発明に係る半導体装置の製造方法の詳細を図面に示す実施例に基づいて説明する。

【0017】（実施例1）図1（A）～（C）は、本発明をMOS型トランジスタの製造に適用した実施例1の工程を示す要部断面図である。

【0018】先ず、周知の方法を用いてシリコン基板1に素子分離領域12と、素子分離領域12の下のチャネルストップイオン注入層13を形成する。次に、ゲート酸化膜14を形成した後、しきい値電圧調整イオン注入層15を形成する。そして、ゲート酸化膜14をゲートポリシリコン層16で覆った後、シリサイド層17を形成し、図1（A）に示すように、シリサイド層17、ゲートポリシリコン層16及びゲート酸化膜14をペーニングしてゲート電極領域18を形成する。

【0019】次に、図1（B）に示すように、LDD（Lightly Doped Drain-source）領域19をイオン注入して形成する。そして、以上の工程で形成された各種の導電層や下地層を活性化し、シリサイド層17の低抵抗化、及びLDD領域19に不純物のガウシアン分布を形成するために、炉アニール処理又はRTA処理を行なう。本実施例においては、RTA処理を行ない、その条件を1050°C、10秒とした。

【0020】その後、図1（C）に示すように、周知の方法を用いてゲート電極の側壁にサイドスペーサ20を形成し、次いでソース領域21A、ドレイン領域21Bにイオン注入処理を行なう。このイオン注入処理は、ヒ素（As<sup>+</sup>）イオンの場合、打込み条件を5～20keV、ドーズ量を $1 \times 10^{15} \sim 3 \times 10^{15}/\text{cm}^2$ とすることができる。また、BF<sub>2</sub><sup>+</sup>イオンの場合、注入条件5～20keV、ドーズ量を $1 \times 10^{15} \sim 3 \times 10^{15}/\text{cm}^2$ とすることができる。

【0021】次いで、図1（C）に示すように、必要に応じて反射防止膜として化学気相成長法により酸化膜22を50nmの膜厚に形成する。

【0022】そして、600°Cの低温アニールを行な

5

う。本実施例においてはこの低温アニールとして電気炉アニールを用いた。

【0023】次いで、同図(C)に示すように、パルスレーザをシリコン基板に照射することにより、ソース領域21A、ドレイン領域21Bに注入されたイオンを活性化させる。このパルスレーザによる活性化アニール処理の条件は、XeClレーザを使用し、照射エネルギーを700mJ/cm<sup>2</sup>、パルス幅を44nsecとした。

【0024】この後の工程は、従来の半導体装置の製造方法に従い半導体装置を完成させる。なお、以降の工程において、半導体装置には、600°C以下の熱処理しか行わないことが重要である。

【0025】本実施例においては、ソース領域21A、ドレイン領域21Bへイオンを打込んだ際に生じた点欠陥は活性化アニール温度以下で効果的に減少し、注入された不純物は600~700°Cのアニールでは殆ど拡散しない。従って、低温アニールを行うことで接合を深くすることなく効果的に点欠陥を低減することができる。このような低温アニール処理及びパルスレーザ照射を行なった場合、図7に示すように、逆リーケ電流を抑制することができる。そして、ソース領域21A、ドレイン領域21Bの活性化は、パルスレーザ照射により行うので浅い接合を維持することができ、微細なトランジスタから成る超高速集積回路を形成することができる。

【0026】(実施例2)図2(A)、(B)は本発明をバイポーラトランジスタの製造方法に適用した実施例2の工程の概略を示す要部断面図である。

【0027】先ず、周知の方法を用いて、図2(A)に示すように、p型のシリコン基板31にヒ素(A<sub>3</sub>)の埋込み拡散を行ない埋込み層32を形成し、次いでn型のエピタキシャル層33を成長させて、酸化によりエピタキシャル層33を分離してから(図示省略する)、ボロン(B)のイオン打ち込みを行ないベース層34を形成する。

【0028】次に、周知の方法を用いて図2(B)に示すように浅いイオン打込み層であるエミッタ層35を形成した後、低温アニールを行ない、イオン打込みによって生じた点欠陥を低減させる。

【0029】その後、表面よりパルスレーザを照射して、エミッタ層35を活性化させる。パルスレーザによる活性化アニール処理の条件は、XeClレーザを使用\*

6

\*し、照射エネルギーを700mJ/cm<sup>2</sup>、パルス幅を44nsecとした。

【0030】本実施例においては、エミッタ層35へイオンを打込んだ際に生じた点欠陥は低温アニールで減少し、パルスレーザ照射によりエミッタ層35は活性化され、浅い接合を維持する。なお、本実施例においては、エミッタ層35の活性化にパルスレーザ照射を行なったが、浅いベース層34の活性化に適用することも可能である。

【0031】以上、実施例1、2について説明したが、本発明はこれらに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。

【0032】

【発明の効果】以上の説明から明らかなように、本発明によれば、浅いイオン打込み層の接合より深い位置の点欠陥を低減させてリーケ電流を低減できると共に、浅い接合を維持させて活性化が行なえるため、微細なトランジスタから成る超高速集積回路を形成できる効果がある。

【図面の簡単な説明】

【図1】(A)~(C)は本発明の実施例1の工程を示す要部断面図。

【図2】(A)及び(B)は本発明の実施例1、2の工程を示す要部断面図。

【図3】RTA法で活性化アニールを行なった場合の基板の温度プロファイルを示すグラフ。

【図4】パルスレーザアニールで活性化アニールを行なった場合の基板の温度プロファイルを示すグラフ。

【図5】イオン打込みによる点欠陥を示す説明図。

【図6】パルスレーザ照射による活性化処理のみを行なった場合の接合における逆リーケ電流の発生を示すグラフ。

【図7】本発明の実施例1による逆リーケ電流の発生状態を示すグラフ。

【図8】各種パルスレーザの吸収係数とフォトエネルギーの関係を示すグラフ。

【符号の説明】

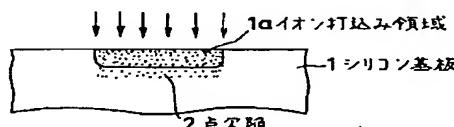
11…シリコン基板、

19…LDD領域、

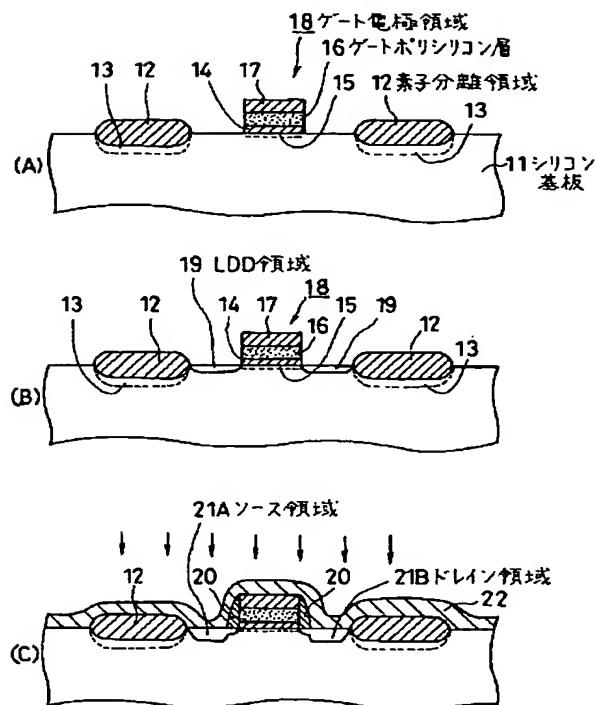
21A…ソース領域、

21B…ドレイン領域。

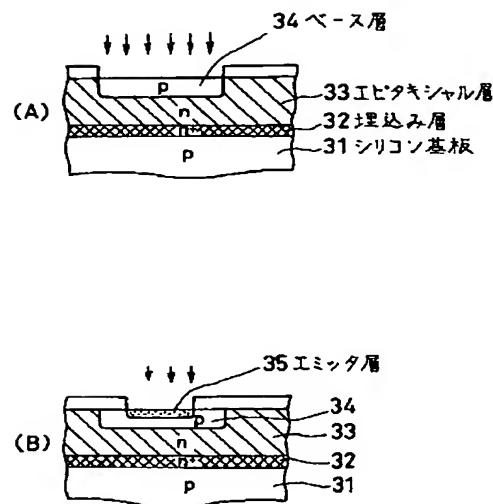
【図5】



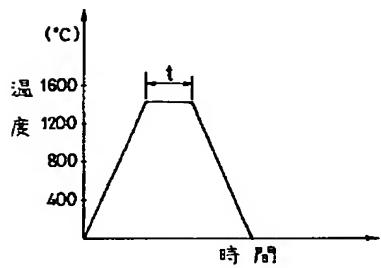
【図1】



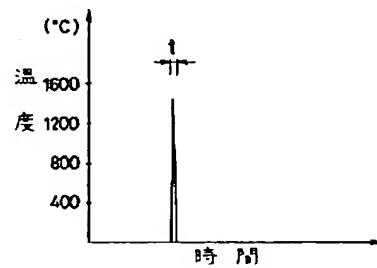
【図2】



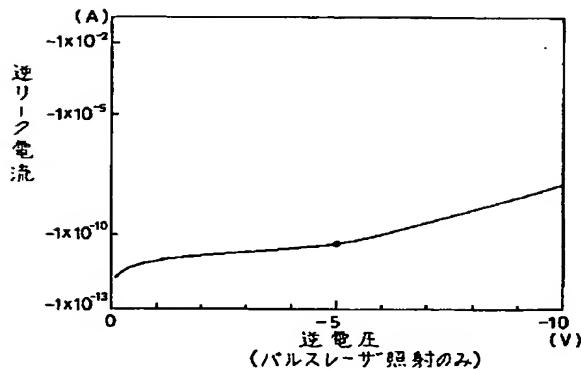
【図3】



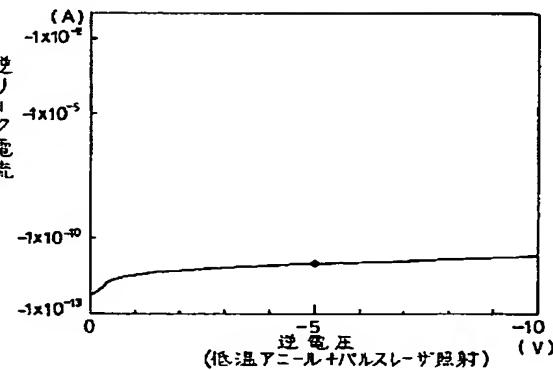
【図4】



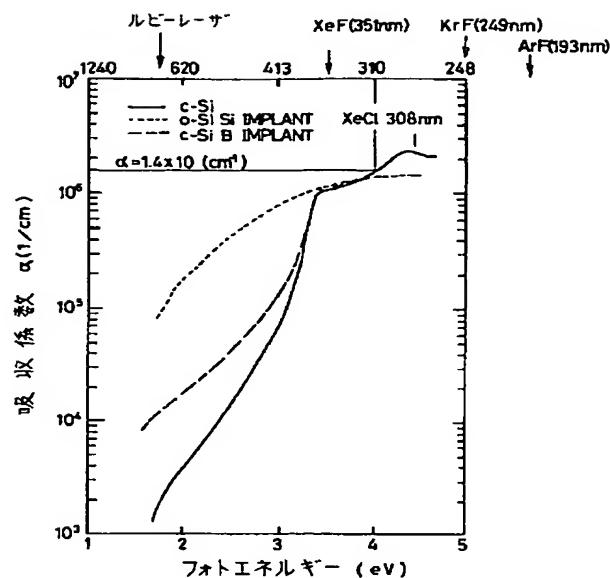
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 21/336  
29/784

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M  
7377-4M

H 0 1 L 29/78

3 0 1 L  
3 0 1 P